



0430
2000
2681

~~0400~~
~~09/14/01~~
PATENT

Atty. Docket No. 678-724 (P9876)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT(S): Takahiko KISHI

#2

SERIAL NO.: 09/931,124

GROUP: Art Unit - Not yet assigned

FILED: August 16, 2001

DATED: September 13, 2001

FOR: DIGITAL DOWN-CONVERTER
AND RECEIVER

RECEIVED

OCT 16 2001

Technology Center 2600

Assistant Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Attached is a certified copy of Japanese Appln. No. 247862/2000 filed on August 17, 2000 from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,

Paul J. Farrell
Reg. No. 33,494
Attorney for Applicant(s)

DILWORTH & BARRESE, LLP
333 Earle Ovington Blvd.
Uniondale, NY 11553
(516) 228-8484

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope addressed to the: Assistant Commissioner for Patents, Washington, D.C. 20231 on September 13, 2001.

Dated: September 13, 2001

Paul J. Farrell



日本国特許庁
JAPAN PATENT OFFICE

RECEIVED
OCT 16 2001
Technology Center 2600

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: 2000年 8月17日

出願番号
Application Number: 特願2000-247862

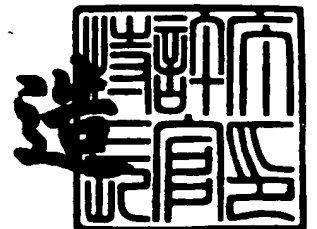
出願人
Applicant(s): 株式会社サムスン横浜研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造





特 2000-247862

【書類名】 特許願

【整理番号】 00062104

【提出日】 平成12年 8月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H04B 10/06

【発明の名称】 デジタルダウンコンバータ、及び受信機

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県横浜市鶴見区菅沢町2-7 株式会社サムスン
横浜研究所 電子研究所内

【氏名】 岸 孝彦

【特許出願人】

【識別番号】 598045058

【氏名又は名称】 株式会社サムスン横浜研究所

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9812566

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタルダウンコンバータ、及び受信機

【特許請求の範囲】

【請求項 1】 無線受信手段で受信され、無線周波数または中間周波数でサンプリングされた受信信号の周波数を検波処理するための検波用周波数に変換するデジタルダウンコンバータにおいて、

前記受信信号の周波数を第 1 の I F 周波数に変換する第 1 のミキサー手段と、
前記第 1 のミキサー手段によって変換された前記第 1 の I F 周波数の信号を前記検波用周波数である第 2 の I F 周波数の信号に変換し、さらに、複素化する第 2 のミキサー手段と、

を具備することを特徴とするデジタルダウンコンバータ。

【請求項 2】 前記第 1 の I F 周波数は、前記サンプリングの周波数の $1/4$ 倍であることを特徴とする請求項 1 に記載のデジタルダウンコンバータ。

【請求項 3】 前記デジタルダウンコンバータは、前記第 1 のミキサー手段の出力を増幅する自動利得増幅器を具備することを特徴とする請求項 1 または請求項 2 に記載のデジタルダウンコンバータ。

【請求項 4】 前記第 2 のミキサー手段は、デシメーションフィルタと直交変換器とを備えたポリフェーズ構成を用いることを特徴とする請求項 2 に記載のデジタルダウンコンバータ。

【請求項 5】 請求項 1 乃至請求項 4 のいずれかの項に記載のデジタルダウンコンバータを備え、

前記デジタルダウンコンバータで周波数変換される受信信号を受信するための無線受信手段と、

前記無線受信手段の出力からエイリアシング周波数成分と、前記デジタルダウンコンバータに具備された第 1 のミキサー手段のイメージ周波数成分とを減衰させるフィルタと、

前記フィルタの出力を無線周波数または中間周波数でサンプリングして、前記デジタルダウンコンバータに入力するアナログ・デジタル変換器と、

を具備することを特徴とする受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、無線受信信号をRF（無線周波数）またはIF（中間周波数）でサンプリングしてデジタル信号処理するデジタルダウンコンバータ、及び受信機に関する。

【0002】

【従来の技術】

従来のデータ通信受信機におけるデジタル信号処理回路の周波数変換部の1例、すなわち、デジタルダウンコンバータ（DDC）を図4を参照して説明する。

このDDCに入力する信号100はRF帯あるいはIF帯の変調波であって、周波数 F_{s1} のサンプル信号、およびこのサンプル信号により変調されている周波数 F_{if1} の中間周波キャリアである。このDDC入力信号は、ミキサー101aおよびミキサー101bにおいて、ローカル発振器（DDS）102から出力される周波数 F_c のcos波とsin波と混合、検波される。このDDS102から出力されるcos波とsin波の周波数 F_c が $F_c = F_{if1}$ の関係を満たすように設定されていると、前記入力波は一気にサンプル信号のみに関する検波処理周波数に変換される。さらに、この検波されたサンプル信号はサンプリングレート変換器103a, および103bにより $1/n$ にダウンサンプルされ($F_{s2} = F_{s1}/n$)、周波数 F_b のベースバンド信号が再生される。このベースバンド信号の波形はロールオフ・フィルタ104a, および104bによりロールオフ整形され、さらに自動利得増幅器（AGC）105aおよび105bにおいて可変増幅されて出力される。サンプル信号は二つのベースバンド信号、すなわち同相成分I信号と直交成分Q信号として出力されている。

【0003】

上述のごとく、RF又はIFにて受信信号をサンプリングし、デジタル信号処理によって信号の選択及び検波を行う受信機において、サンプリングした信号を処理する信号処理回路としてのデジタルダウンコンバータ（DDC）においては、Real-Complexミキサー（直交変換回路）によって一気に検波処理

周波数（一般的にベースバンド）に変換する方法が一般的であった。

このとき、IF信号をサンプリングするためには高速なサンプリング周波数が要求される。さらに、ダウンサンプル処理によってサンプリング周波数を下げて消費電力を低減できる後段部より、ミキサー部とローカル発振部の消費電力は動作速度が速いために大きい。

cos波とsin波を出力するDDSは、周波数演算部とROM（リードオンリメモリ）を一つとしても、一サンプリング周期にcosとsinのデータを読み出すために2度データを読み出す。このため、消費電力の多くを占めるROMの消費電力は2度のアドレスと出力データの変化により2回路と同等になり、DDSとしての消費電力も単一波出力の2倍近い電力を消費する。

また、IF周波数を周波数オフセットの無いベースバンドに変換するために高精度が必要で（細かい周波数ステップ）、スプリアスも少ない信号を得るためには位相演算回路の演算語長を長く取り、ROMのサイズも大きくする必要がある。

【0004】

【発明が解決しようとする課題】

しかしながら従来のDDCにおいては、次のような課題がある。第1に、IF信号をサンプリングするためには高速なサンプリング周波数が要求される。さらに、初段のミキサーとミキサーにローカルを供給するローカル発振器（DDS）はサンプリング周波数と同じ周波数で動作するために高速で動作し、その消費電力は、DDC消費電力の大きなウェイトを占める。ダウンサンプル処理によってサンプリング周波数を下げた後段部の消費電力と比較して、前者の消費電力は大きい。

cos波とsin波を出力するDDS102は、周波数演算部とROMを一つとしても、一サンプリング周期にcosとsinのデータを読み出すために2度データを読み出す。このため、消費電力の多くを占めるROMの消費電力は2度のアドレスと出力データの変化により2回路と同等になり、DDSとしての消費電力も単一波出力の2倍近い電力を消費する。

【0005】

また、I F 周波数を周波数オフセットのないベースバンドに変換するために高精度が必要で（細かい周波数ステップ）、スプリアスも少ない信号を得るためには位相演算回路の演算語長を長く取り、ROMのサイズも大きくする必要がある。

上述のごとく従来のDDCにおいては、初段のミキサー101a, 101bとミキサーにローカルを供給するローカル発振器（DDS）102は、AD変換のサンプリング周波数と同じ周波数で動作するために高速で動作する。このため初段のミキサー101a, 101bとミキサーにローカルを供給するローカル発振器（DDS）102における消費電力は、DDC消費電力の大きなウェイトを占める。

【0006】

本発明は、このような事情を考慮してなされたもので、その目的は、消費電力を低減することができるデジタルダウンコンバータ、及び受信機を実現することにある。

【0007】

【課題を解決するための手段】

上記の課題を解決するために、請求項1に記載の発明は、無線受信手段で受信され、無線周波数または中間周波数でサンプリングされた受信信号の周波数を検波処理するための検波用周波数に変換するデジタルダウンコンバータにおいて、前記受信信号の周波数を第1のI F周波数に変換する第1のミキサー手段と、前記第1のミキサー手段によって変換された前記第1のI F周波数の信号を前記検波用周波数である第2のI F周波数の信号に変換し、さらに、複素化する第2のミキサー手段とを具備することを特徴とする。

【0008】

請求項2に記載の発明は、請求項1に記載の発明において、前記第1のI F周波数は、前記サンプリングの周波数の1/4倍であることを特徴とする。

請求項3に記載の発明は、請求項1または請求項2に記載の発明において、前記デジタルダウンコンバータは、前記第1のミキサー手段の出力を増幅する自動利得増幅器を具備することを特徴とする。

請求項 4 に記載の発明は、請求項 2 に記載の発明において、前記第 2 のミキサー手段は、デシメーションフィルタと直交変換器とを備えたポリフェーズ構成を用いることを特徴とする。

【 0 0 0 9 】

請求項 5 に記載の受信機の発明は、請求項 1 乃至請求項 4 のいずれかの項に記載のデジタルダウンコンバータを備え、前記デジタルダウンコンバータで周波数変換される受信信号を受信するための無線受信手段と、前記無線受信手段の出力からエイリアシング周波数成分と、前記デジタルダウンコンバータに具備された第 1 のミキサー手段のイメージ周波数成分とを減衰させるフィルタと、前記フィルタの出力を無線周波数または中間周波数でサンプリングして、前記デジタルダウンコンバータに入力するアナログ・デジタル変換器とを具備することを特徴とする。

【 0 0 1 0 】

【発明の実施の形態】

本発明の実施形態によるデジタルダウンコンバータ (DDC) は、入力した I F 信号または R F 信号を、DDC 内初段の R e a l ミキサーにより DDC 内第 1 の I F 周波数の信号に変換し、該第 1 の I F 周波数の信号を R e a l - C o m p l e x ミキサー (直交変換器) によって DDC 内第 2 の I F 周波数、すなわち検波処理するための検波用周波数の信号に変換すると共に複素化するデジタル処理回路として構成されるものである。

【 0 0 1 1 】

以下、図面を参照し本発明の実施形態について説明する。図 1 は本発明の第 1 の実施形態によるデジタルダウンコンバータ (DDC) 3 0 7 の構成を示すブロック図である。図 2 は同実施形態の DDC 3 0 7 を構成要素とする受信機の構成を示すブロック図である。

図 2 において、アンテナ 3 0 1 により受信された受信信号は、R F 部 3 0 2、ミキサー 3 0 3、ローカル発信器 (L o) 3 0 4 において I F 信号に変換され、この I F 信号は、帯域通過形フィルタ (B P F) の I F フィルタ 3 0 5 により受信バンド以外の信号を抑圧すべく帯域制限される。アナログ/デジタル (A D)

変換器 306 は、IF フィルタ 305 の出力を入力し、サンプリング後、受信信号周波数 F_{d1} のデジタル信号に変換されたデジタル IF 信号を DDC 307 に入力する。AD 変換器 306 のサンプリング周波数は F_{s1} である。このデジタル IF 信号は、(1) 式で表される。

$$\text{デジタル IF 信号} = f_1(t) \cdot \cos(n\omega_{d1} t) \cdots (1)$$

なお、符号 308 はローカル発振器 (TCX0)、符号 309 はベースバンド回路 (BB)、符号 310 は BB 回路で用いるクロックを生成する分周回路 (1/k) である。

【0012】

図 1 において、Real ミキサーである第 1 の乗算器 (ミキサー) 201 は、上記 (1) 式で表されたデジタル IF 信号とローカル発振器 (DDS) 202 から出力された周波数 F_{c1} のローカル信号 $c(t)$ (但し、 $c(t) = \cos(n\omega_{c1} t)$ で表される) とを入力し、これら入力した信号を乗算する。この乗算の結果、デジタル IF 信号の周波数は、周波数 F_{s1} の $1/32$ の周波数 F_{d2} に変換される。この周波数変換されたデジタル IF 信号 $f_2(t)$ は、(2) 式で表される。この時の周波数の関係は、(3) 式で表される。

$$f_2(t) = f_1(t) \cdot \cos(n(\omega_{d1} \pm \omega_{c1}) t) \cdots (2)$$

$$F_{c1} = F_{d1} - F_{s1}/32 \cdots (3)$$

【0013】

次いで、デシメーションフィルタ 203 は、第 1 のミキサー 201 の出力 $f_2(t)$ を入力し、周波数 $(F_{d1} + F_{c1})$ の信号を抑圧するとともに、周波数 F_{s1} の $1/8$ のサンプリング周波数 F_{s2} にダウンサンプルする。この周波数 F_{s2} にダウンサンプルされたデジタル IF 信号 $f_2(t)$ は、上記 (2) 式の $n = 8m$ であり、(4) 式で表される。この時の周波数の関係は、 $F_{s1} = 8 \times F_{s2}$ より、(5) 式で表される。

$$f_2(t) = (1/2) f_1(t) e^{jm(\omega_{d1} - \omega_{c1})t} \cdots (4)$$

$$F_{c1} = F_{d1} - (1/4) \times F_{s2} \cdots (5)$$

この (4) 式で表されたデジタル IF 信号 $f_2(t)$ の周波数 (第 1 の IF 周波数) は、上記サンプリング周波数 F_{s1} の $1/4$ 倍である。

【0014】

次いで、上記(4)式で表されたデジタルIF信号 $f_2(t)$ は、自動利得増幅器(AGC)204において増幅された後、第2のミキサ-205に入力される。この第2のミキサ-205は、入力したデジタルIF信号 $f_2(t)$ をサンプリング周波数の1/4すなわち $F_{c2} = (1/4) \times F_{s2}$ と乗算して、検波処理するための検波用周波数(第2のIF周波数)のベースバンド信号 $f_b(t)$ に変換する。この変換は、(6)式で表される。

$$\begin{aligned} f_b(t) &= (1/2) f_1(t) e^{jm(\omega_{d1} - \omega_{c1} - \omega_{c2})t} \\ &= (1/2) f_1(t) e^{jm\{\omega_{d1} - \{\omega_{d1} - \{(\omega_{s2})/4\} - \{(\omega_{s2})/4\}\}} \\ &= (1/2) f_1(t) \dots (6) \end{aligned}$$

【0015】

次いで、このベースバンド信号 $f_b(t)$ は、ロールオフフィルタ206a、および206bによりロールオフ整形され、同相成分Iおよび直交成分Qの複素化信号が出力される。

【0016】

なお、上記第2のミキサ-205は、Real-Complexミキサ(直交変換器)であって、AGC204の出力にサンプリング周波数の1/4を乗算する乗算器とこの乗算された信号を複素化する複素化手段とから構成されることになるが、その乗算値は、ミキサ-用ローカル発振のcosとして1, 0, -1, 0, 1..., sinとして0, 1, 0, -1, 0, ...となる。これより、第2のミキサ-205は、図1に示すように、セレクタ205a及び205bによって、簡易に構成することが可能である。

セレクタ205aは、ローカル発振のcosとして1, 0, -1, 0, 1, ..., のように、乗算値を巡回して選択するセレクタであって、4つの入力から一つを選択して出力する。この4つの入力とは、乗算値「1」に対応した乗算結果であるAGC204の出力と、乗算値「0」に対応した乗算結果の「0」と、乗算値「-1」に対応した乗算結果であって、AGC204の出力を符号反転する符号反転回路207の出力と、乗算値「0」に対応した乗算結果の「0」とである。

【0017】

また、セクタ205bは、ローカル発振のsinとして0, 1, 0, -1, 0, …、のように、乗算値を巡回して選択するセクタであって、上記セクタ205aと同様に、4つの入力から一つを選択して出力する。この4つの入力とは、乗算値「0」に対応した乗算結果の「0」と、乗算値「1」に対応した乗算結果であるAGC204の出力と、乗算値「0」に対応した乗算結果の「0」と、乗算値「-1」に対応した乗算結果であって、AGC204の出力を符号反転する符号反転回路207の出力とである。

【0018】

上記実施形態においては、従来のように入力信号を一度に目的周波数に変換するのではなく、精度を必要とするチューニングのための変換と複素化のための変換とを分けることによって、回路規模と消費電力の低減が可能である。

【0019】

なお、上記DDC入力周波数において、 $f_{d1}' = f_{c1} - (f_{s1}/32)$ は第1のミキサー201のイメージ周波数となるが、AD変換器306の上流のアナログフィルタ（IFフィルタ305）で妨害信号を抑圧する。チャンネル帯域への制限は、DDC307内にて行えるので、このアナログフィルタの役割は、エイリアシング周波数とイメージ周波数の妨害信号の抑圧のみで良い。

また、上記実施形態においては、DDC307内の第1のIF周波数をサンプリング周波数の1/4倍とすることによって、第2のIF周波数に係る処理（第2のミキサー205の処理）の簡略化が可能である。

【0020】

なお、上記実施形態において、第2のミキサー205の処理は、サンプリング周波数が低減されたあとの処理である上に、そのミキサー処理が簡略化されるので、第2のミキサー205で発生する消費電力は、DDC307で発生する総消費電力に比して僅かである。

【0021】

ところで、デジタル受信機における一般的構成は、従来例における説明のようにベースバンドに一気に変換する。この方式は、ベースバンド変換後のデシメー

ションフィルタ、ロールオフフィルタが全てLPFで構成できるというメリットがある（BPFの方がLPFよりフィルタ次数が高くなる）。従来例ではこのようなメリットがあるために、上記実施形態のように中間IFをデジタル信号処理部内に設けることは顧みられ無かった。一方、従来例ではベースバンドにあるAGC105aにおいて、自動利得によるAGC105aのゲイン可変時に発生する受信信号歪の多くが受信信号帯域内に落ちる。このため、AGC105aによって発生する歪をフィルタによって低減することができないために、AGC処理自体の歪を低減するAGC低歪化のために処理アルゴリズムの工夫が必須であった。

【0022】

そこで、上記実施形態においては、AGC204をデジタルIF信号処理部内の第2のミキサー205の上流に設置することにより、AGC204で発生するハーモニック歪は受信信号帯域外に落ちるようになる。受信信号帯域外の歪を、目的外信号とエイリアシング信号を抑圧するIFフィルタ305で抑圧することで、AGC処理の工夫をすることなく、従来のAGC処理によって発生する歪を低減することができる。

【0023】

また、上記DDS202は、周波数 F_{c1} の位相演算部とこの位相演算部の出力に対応した振幅値が書き込まれたROMとから構成されており、このROMの出力を周波数 F_{c1} のローカル信号 $c(t)$ として出力する。

このDDS202において、位相誤差を原因とするスプリアス特性は、位相演算部とROMの位相語長（アドレス長、すなわちROM容量）の差（再量子化誤差）を1bit減じる毎に6.02dB改善される。また、ROMデータ長を1bit長くする毎に、DDS202の出力語長（ROMデータ長）を原因とするスプリアス特性は、6.02dB改善される。このスプリアス特性改善の為に、例えば位相演算語長を固定とすると、ROMのアドレス語長を1bit増す毎に回路規模サイズ（ROM容量）が2倍となり、消費電力もほぼ2倍となってしまう。

しかしながら、消費電力の制限がそれほど厳しくない受信機においては、上記実施形態により低減した回路と消費電力をROM容量（アドレス長、データ長）

の増加に利用し、ローカル発振部（DDS）202のスプリアス特性を改善することが可能である。

【0024】

上述したように、本発明の実施形態によれば、初段のミキサーが2個から1個へ半減し、ローカル発振回路もcos波またはsin波の一波のみの出力で済む。初段ミキサー信号とサンプリング周波数を下げるデシメーションフィルタ回路も半減するので、本発明のデジタルダウンコンバータにおいては、従来、最も高速な処理が要求された初段ミキサー、ローカル発振およびデシメーションフィルタにおける消費電力をほぼ半減させることができる。

【0025】

さらに、第2のミキサー205は、入力周波数をサンプリング周波数の1/4倍とすることによりスルーと反転とセレクタで実現でき、乗算器を用いる必要が無い。このために第2のミキサー205を実現する回路が大きく簡略化される。この結果、消費電力のウェイトが高く、高速に動作する従来のミキサー回路が大きく簡略化されて、DDCの消費電力のさらなる低減が可能である。

【0026】

図3は本発明の第2の実施形態によるデジタルダウンコンバータ（DDC）320の構成を示すブロック図である。同図において図1の各部に対応する部分には同一の符号を付け、その説明を省略する。図3に示すDDC320は、図1に示すDDC307のデシメーションフィルタ203と第2のミキサー（直交変換器）205とを組み合わせたポリフェーズ構成を用いたものである。実際にデジタルダウンコンバータ（DDC）を構成する場合には、このポリフェーズ構成が一般的によく用いられる。

図3のDDC320において、第2のミキサー211は、図1の第2のミキサー205と同様に、ローカル発振のcos部分とsin部分とから構成される。ローカル発振のcos部分は、セレクタ212aと2個のデシメーションフィルタ203、212とから構成され、また、ローカル発振のsin部分は、セレクタ212bと2個のデシメーションフィルタ203、212とから構成される。なお、デシメーションフィルタ212は、係数の符号が反転されており、符号反転機能も有

している。また、AGC 2 0 4 を 2 個設け、それぞれ第 1 のミキサー 2 0 1 の出力を増幅し、ローカル発振の cos 部分と sin 部分とに入力する。

【 0 0 2 7 】

上記第 2 のミキサー 2 1 1 の cos 部分及び sin 部分においては、それぞれ乗算値「1」に対応した乗算結果として、第 1 のミキサー 2 0 1 の出力を AGC 2 0 4 で増幅し、デシメーションフィルタ 2 0 3 を介してセレクタ 2 1 2 a 及び 2 1 2 b に入力する。また、乗算値「-1」に対応した乗算結果として、第 1 のミキサー 2 0 1 の出力を AGC 2 0 4 で増幅し、デシメーションフィルタ 2 1 2 を介してセレクタ 2 1 2 a 及び 2 1 2 b に入力する。

なお、第 2 のミキサー 2 1 1 においては、第 1 のミキサー 2 0 1 からの入力周波数 F_{s2} (第 1 の IF 周波数) がサンプリング周波数 F_{s1} の $1/n$ 倍であり、第 2 のミキサー 2 1 1 の動作周波数は、 $F_{s2} = F_{s1}/n$ となる。ここで、第 2 のミキサー 2 1 1 はサンプリング位相毎に、動作するパス (セレクタ 2 1 2 a、2 1 2 b が選択する入力) を切り替えるので、第 2 のミキサー 2 1 1 でのサンプリング周波数が F_{s2} であるにもかかわらず、第 2 のミキサー 2 1 1 の各パスの動作は、周波数 F_{s2} の $1/4$ 倍となる。この時の周波数の関係は、(7) 式で表される。

$$(1/4) F_{s2} = (1/2) F_{s3} = (1/4n) F_{s1} \dots (7)$$

さらに、第 2 のミキサー 2 1 1 においては、出力が「0」になるサンプルを間引きしているので、エイリアシング未発生状態でダウンサンプリングすることが可能である。この時の周波数の関係は、(8) 式で表される。

$$F_{s3} = F_{s2}/2 = F_{s1}/(2n) \dots (8)$$

【 0 0 2 8 】

ところで、このポリフェーズ構成で第 2 のミキサー 2 1 1 を構成する場合、通常、乗算器を cos 部分及び sin 部分に各 1 個ずつ都合 2 個を使用することになる。しかしながら、上述した第 2 の実施形態による DDC 3 2 0 において、第 1 の実施形態と同様に、第 2 のミキサー 2 1 1 への入力周波数をサンプリング周波数 F_{s1} の $1/4$ 倍とすることにより、乗算器を用いずに実現することができる。このため、ポリフェーズ構成でデジタルダウンコンバータ (DDC) を構成する場合でも、上述したように、第 1 の IF 周波数をサンプリング周波数の $1/4$ 倍とす

ることによって、第 2 のミキサー 2 1 1 の回路が大きく簡略化され、DDC の消費電力の低減が可能である。

なお、上述した第 2 の実施形態による DDC 3 2 0 を図 2 に示す受信機の構成要素として、第 1 の実施形態による DDC 3 0 7 の代わりに用いるようにしてもよい。

【 0 0 2 9 】

また、上述した実施形態による DDC 3 0 7 は、携帯端末、あるいは、携帯電話機やその基地局装置、放送装置などに具備された受信機に適用可能であり、上記 DDC の消費電力低減によって以下に示すような効果が得られる。

- ①. 携帯端末や携帯電話機等の端末においては、その連続使用時間をより長くすることができる。また、従来と同一の連続使用時間であれば、使用するバッテリー容量が小さくてすみ、バッテリーの小型化が可能である。
- ②. 基地局装置や放送装置等においては、受信機の発熱量が減るので、その放熱構造の簡易が可能となり、その結果、装置の小型化を行うことができる。
- ③. 上記 DDC 3 0 7 においては、そのデジタル信号処理演算が簡略化される。この結果、DDC 3 0 7 を用いた受信機で、消費電力削減よりもその性能改善が課題である場合には、従来に比して、高度なアルゴリズム処理の演算量やデジタル信号処理演算語長を、その簡略化された演算量に相当する分、すなわち、低減されるべき消費電力の代わりにその消費電力低減相当分増やすことができる。

【 0 0 3 0 】

以上、本発明の実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計等も含まれる。

【 0 0 3 1 】

【発明の効果】

以上説明したように、本発明によれば、無線受信手段で受信され、無線周波数または中間周波数でサンプリングされた受信信号の周波数を検波処理するための検波用周波数に変換するデジタルダウンコンバータにおいて、受信信号の周波数を第 1 の I F 周波数に変換する第 1 のミキサー手段と、第 1 のミキサー手段によ

って変換された第1のIF周波数の信号を検波用周波数である第2のIF周波数の信号に変換し、さらに、複素化する第2のミキサー手段とを具備するようにしたので、従来、最も高速な処理が要求された初段ミキサー、ローカル発振およびデシメーションフィルタの構成が簡略化され、この結果、消費電力を低減することができる。

【0032】

さらに、第1のIF周波数をサンプリングの周波数の1/4倍とすれば、消費電力のウェイトが高く、高速に動作する従来のミキサー回路が大きく簡略化されるので、消費電力のさらなる低減が可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態によるデジタルダウンコンバータ（DDC）307の構成を示すブロック図である。

【図2】 図1に示すDDC307を構成要素とする受信機の構成を示すブロック図である。

【図3】 本発明の第2の実施形態によるデジタルダウンコンバータ（DDC）320の構成を示すブロック図である。

【図4】 従来のデジタルダウンコンバータの構成を示すブロック図である。

【符号の説明】

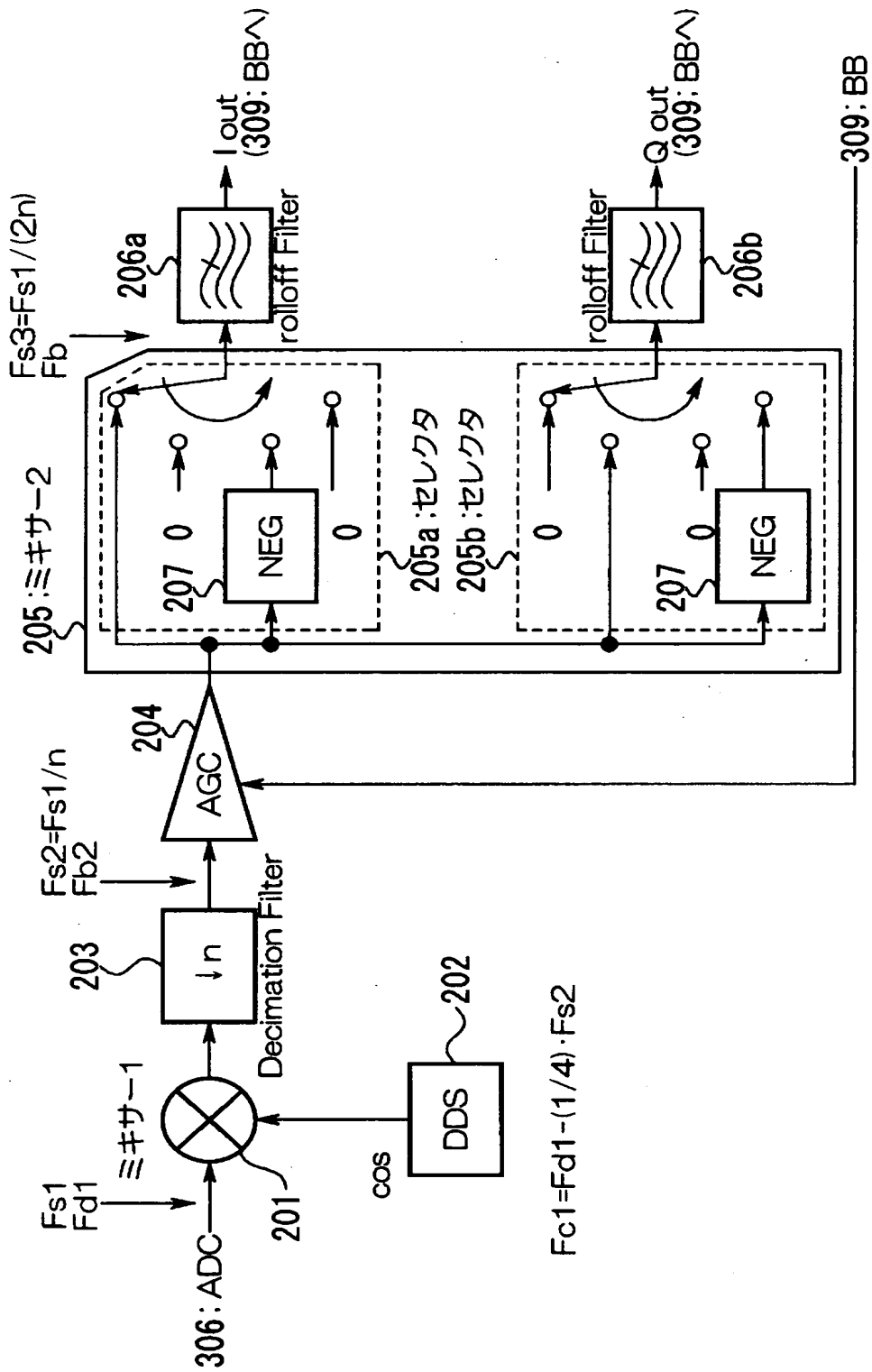
- 201 第1のミキサー（ミキサー1）
- 202 ローカル発振器
- 203、212 デシメーションフィルタ
- 204 AGC（自動利得増幅器）
- 205、211 第2のミキサー（ミキサー2）
- 205a、205b、212a、212b セレクタ
- 206a、206b ロールオフフィルタ
- 207 符号反転回路
- 301 アンテナ
- 302 RF部
- 303 ミキサー

- 3 0 4 ローカル発振器
- 3 0 5 フィルタ (B P F)
- 3 0 6 A D 変換器
- 3 0 7、3 2 0 デジタルダウンコンバータ (D D C)
- 3 0 8 ローカル発振器 (T C X O)
- 3 0 9 ベースバンド回路
- 3 1 0 分周回路

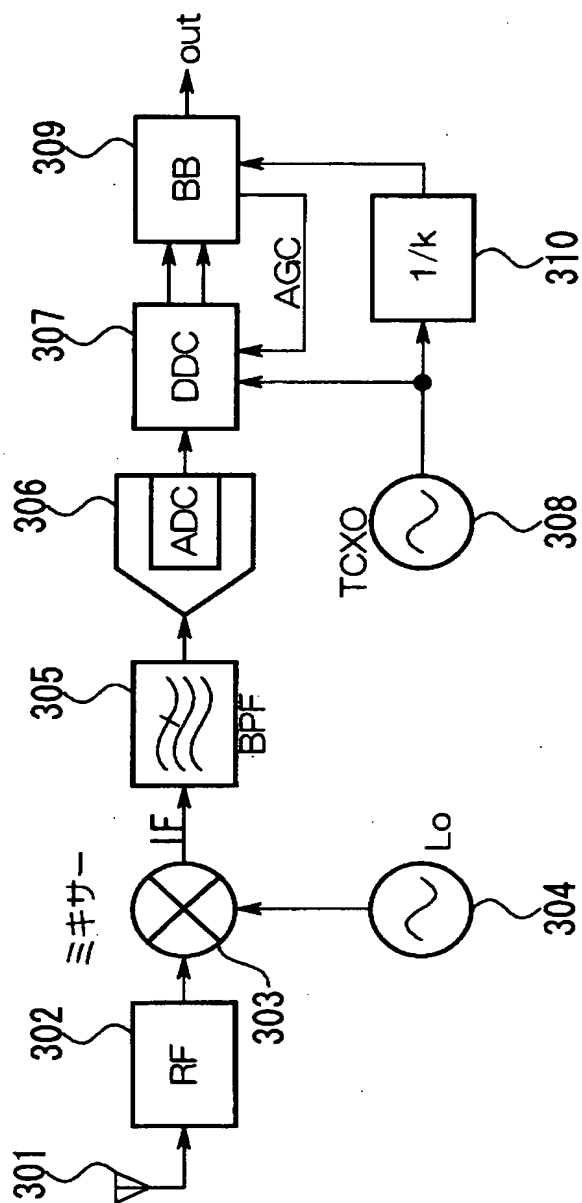
【書類名】

図面

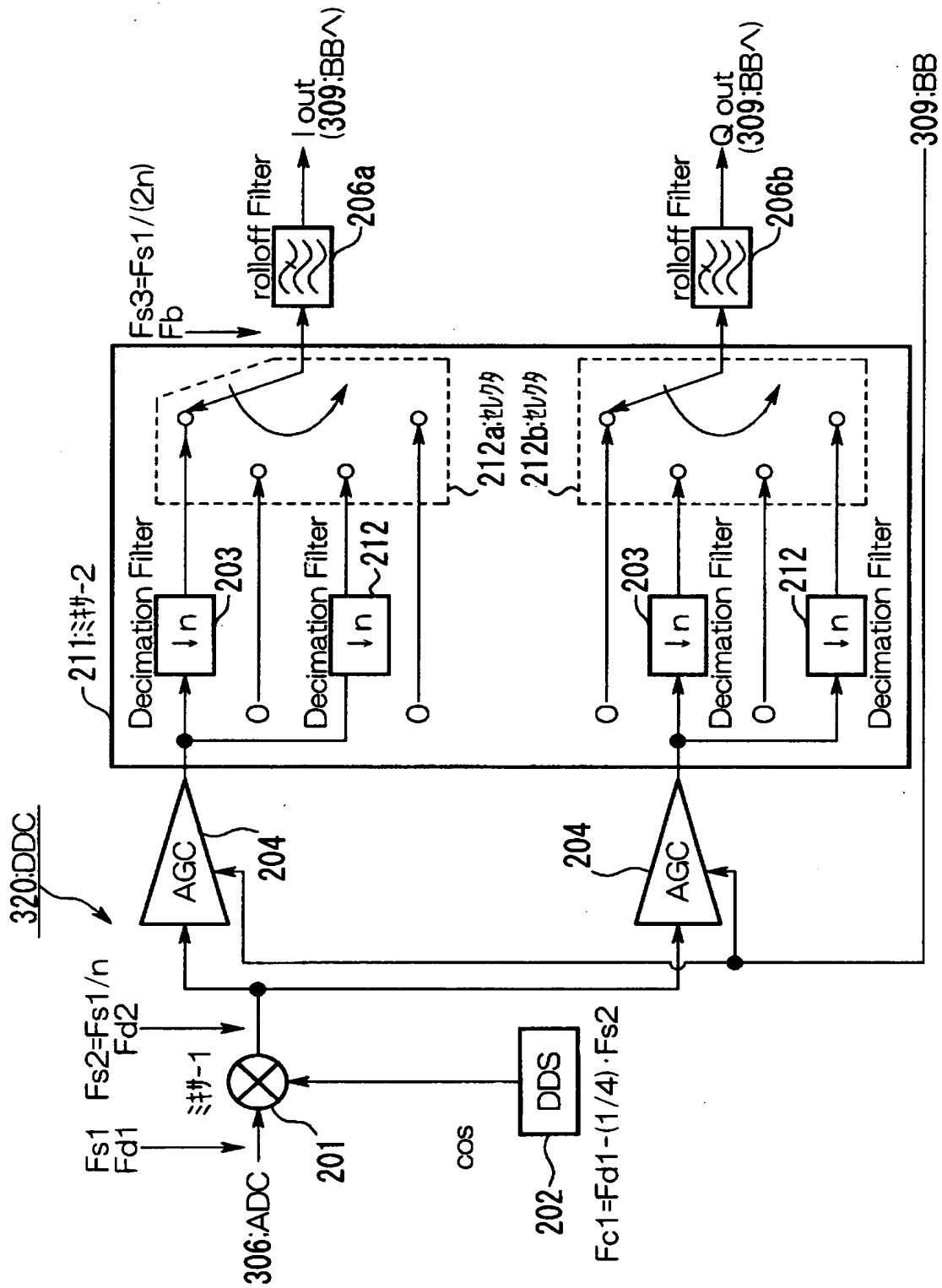
【図 1】



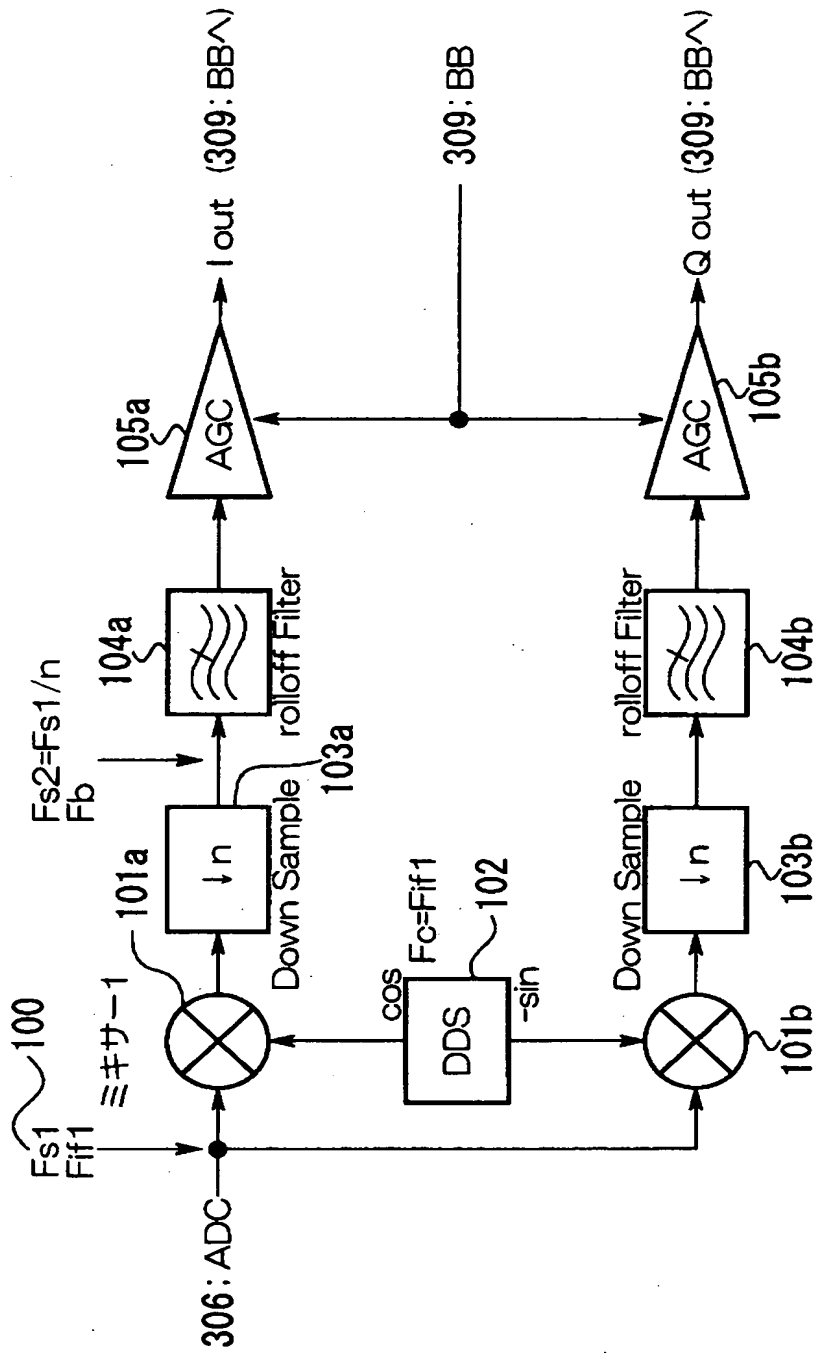
【図2】



【图 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 消費電力を低減することができるデジタルダウンコンバータ、及び受信機を実現することにある。

【解決手段】 無線受信手段で受信され、無線周波数または中間周波数でサンプリングされた受信信号の周波数を検波処理するための検波用周波数に変換するデジタルダウンコンバータにおいて、第1のミキサー201は、受信信号の周波数を第1のIF周波数に変換する。第2のミキサー205は、第1のミキサー201によって変換された第1のIF周波数の信号を検波用周波数である第2のIF周波数の信号に変換し、さらに、複素化する。

【選択図】 図1

認定・付加情報

特許出願の番号 特願2000-247862
受付番号 50001046854
書類名 特許願
担当官 第七担当上席 0096
作成日 平成12年 8月18日

<認定情報・付加情報>

【特許出願人】

【識別番号】 598045058
【住所又は居所】 神奈川県横浜市鶴見区菅沢町2-7
【氏名又は名称】 株式会社サムスン横浜研究所

【代理人】

申請人

【識別番号】 100064908
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】 鈴木 三義
【選任した代理人】
【識別番号】 100107836
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORピ
ル 志賀国際特許事務所
【氏名又は名称】 西 和哉
【選任した代理人】
【識別番号】 100108453
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORピ
ル 志賀国際特許事務所
【氏名又は名称】 村山 靖彦

出 願 人 履 歴 情 報

識別番号 [598045058]

1. 変更年月日 1998年 3月20日
[変更理由] 新規登録
住 所 神奈川県横浜市鶴見区菅沢町2-7
氏 名 株式会社サムスン横浜研究所